



EUROPEAN PATENT SPECIFICATION

(45) Dete of publication and mention of the grant of the patent: 29.08.2001 Bulletin 2001/35

(12)

(51) Int CL7: H03K 19/00, H03K 5/151

- (21) Application number: 95308408.4
- (22) Date of filing: 23.11.1995
- (54) Through currents minimisation in electronic circuits

 Querstrom-Minimierung in elektronischen Schallungen

Réduction des courants transversal des circuits électroniques

- (84) Designated Contracting States: DE FR GB IT NL
- (30) Priority: 23.11.1994 US 344199
- (43) Dete of publication of epplication: 29,05,1996 Bulletin 1996/22
- (73) Proprietor: Texas instruments incorporated Dallas, Texas 75251 (US)
- (72) Inventors:
 Salamina, Nicolas
 Sachae, Taxae 75048 (US)
 - Hastings, Roy A.

 Alian, Taxas 75002 (US)
- (74) Representative: Legg, Cyrus James Grahama et al ABEL & IMRAY, 20 Red Lion Street London WC1R 4PQ (GB)

(56) References cited:

- EP-A- 0 053 014 EP-A- 0 089 441
- PATENT ABSTRACTS OF JAPAN vol. 012, no. 007 (E-571), 9 January 1988 & JP 62 186815 A
- (SANYO ELECTRIC CO LTD), 23 July 1987, PATENT ABSTRACTS OF JAPAN vol. 014, no. 338 (E-0954), 20 July 1990 & JP 02 114718 A (NEC CORP), 28 April 1990.
- PATENT ABSTRACTS OF JAPAN vol. 008, no. 123 (E-117), 8 July 1982 & JP 57 050133 A (CITIZEN WATCH CO LTD), 24 March 1982.
- PATENT ABSTRACTS OF JAPAN vol. 013, no. 453 (E-831), 11 October 1989 & JP 01 176117 A (ASAHI KASEI MICRO SYST KKJ, 12 July 1989.

Note: Within nine months from the publication of the mention of the grant of the Europeen petent, any person may give notice to the Europeen Petent Office of opposition to the Europeen petent granted. Notice of opposition shall be fider in a written reasoned statement, it shall not be deemed to have been fitted until the opposition for has been paid. (Art. 99(1) Europeen Petent Convention).

Description

FIELD OF THE INVENTION

[0001] This invention relates to electronic circuits and 5 more particularly relates to control circuitry for driving output devices.

BACKGROUND OF THE INVENTION

(8042) When using loten pole output decad configutioning recent section of the size of t

[503] Because translator in totam pole output comprogrations are designed for melinism on resistance, "through carried" can exceed the working current levels in a circuit. For exempting, is 4 followings level and could care are "through currents" of SA. Although "shoot innough" and see "through currents" of SA. Although "shoot innough" and see "through currents" of SA. Although "shoot innough" and see "through currents" of SA. Although "shoot innough" and see "through currents" and see a substantially larger, locates in efficiency are unacceptable in misro-power applications, and through the seed of the seed of the currents of the currents and recipites leager heat sticks which are cought in optification her require append-efficient pushcought in optification her require append-efficient push-

[0004] In addition to lost efficiency, "Through currents" may cause premature device feitures which cause refishilly problems. "Through currents" elso produce substantial noise which may result in erratic circuit operation and underind RFIVEMI (radio traquency interference) descromagnetic interference) problems.

[0005] There are several prior ert approaches to controlling through currents. One prior art solution uses external resistive limiting. Unfortunately, this solution only reduces, but does not eliminate "through currents." A 4" resistor is a lossy element and thus adds dissipation losses of its own, thus reducing efficiency. [0006] Another prior art solution to "through currents"

Involves inductive snubbing, which eliminates the "through currents." However, the inductive elements reduce the circuit's performance and require extra externel components which ere undestrable.

[0007] Yet enother prior art solution uses non-overlapping timing signals. In this solution each of the transistors in the tolem pole output are driven with a different signal, created by a non-overlapping clock generator as illustrated in prior or FFIG. 2. This is often called a "breakbefore-make" confouration hecuses one translator is

assured to be non-conducting before the other trensition begins conduction. The problems with this solution is that "dead time" introduced by the non-overlapping clock generator definitishes the cincuit's performance. Additionally, the "dead time" must be made long enough to operate without "through currently under worst see process conditions. Such guardbending reduces circuit performance.

[Boost] Still enother prior and solution utilizes the concept of more overletcing during signed in religious temple of the overletcing during signed in religious temple the during the still end of the still end of the still end of the still still end of the s

[8099] It is an object of this invention to provide a Transk-before-maker's despiter freed timer "quote notrol clouds that is independent of output loading and anquises no DC quiescent current ont no externel components. Other objects and selventings of the invention will become appeared to those of ordinary skill in their with the development of those of ordinary skill in their with the development of the ordinary skill in their with the development of the ordinary skill in their with the development of the ordinary skill in their with the development provides or the ordinary of the ordinary skill in the provides of the ordinary of the ordinary skill in the provides of the ordinary of the ordinary skill in the provides of the ordinary ordin

20 (2019) JP 62 168015A, JP 62 114715A end JP 57 50513A end idiosea CMOS topid driver that prevents both of the trensitions of the output driver from being harred on the same first when the output of triver from being harred on or the same first when the output of the contract changes from one state to another. They such stickless changes from one state to another. They such disclose output give give input of the PMOS trensitions or the output driver to control citosts for the NMOS trensitions or expectively. The or the NMOS trensition respectively from the NMOS trensition respectively from the NMOS trensition respectively. The other name of the NMOS trensition respectively from the NMOS trensition of the NMOS trensition of the NMOS trensition. Delta from the NMOS trensition is the NMOS trensition of the NMOS trensition of the NMOS trensition. Delta from the NMOS trensition is the NMOS trensition. Delta from the NMOS trensition is the NMOS trensition. Delta from the NMOS trensition is the NMOS trensition of the NMOS trensition. Delta from the NMOS trensition is the NMOS trensition of the NMOS trensition. Delta from the NMOS trensition of the NMOS trensition of the NMOS trensition. Delta from the NMOS trensition of the NMOS trensition of the NMOS trensition. Delta from the NMOS trensition of the NMOS trensition of the NMOS trensition.

are turned off for a brief period of time. SUMMARY OF THE INVENTION

includes a push-pull odupat translator pair, a control means coupled to control terminate for adupt terminate repair, and comparing means coupled to have control terminate for the control terminate for the control terminate of the coupled formation. The control terminate of the coupled formation that control terminate of the coupled formation that control terminate of the coupled formation to the comparison without past and the control terminate of the coupled formation past and the control terminate of the coupled translator pair to the comparison without past select power dissipation, thereby executing their limitation of the coupled translator pair select power dissipation, thereby executing their limitation of the coupled translator of the coupled translator

[9011] A low power, break-before-make output circuit

BRIEF DESCRIPTION OF THE DRAWINGS

[0012] FIG. 1 is a schemetic diagram illustrating a pri-

or art totem pole output circuit 11.

[0013] FiG.1a is a graph illustrating "shoot-through" 5

ourset in prior ert totem pole output circuit 11 of FiG.1.

[0014] FiG.2 is a combined graph and schematic diagram illustrating a prior art adaptive "deed line" control

circuit 13.

[0015] FIG.3 is a combined block diagram/schematic 10 diagram listrating in greater detail a prior art adaptive "deed time" control circuit 10 for decreasing shoot-through current.

[0016] FIG.4 is an embodiment of the invention, en adaptive "dead time" control circuit utilizing comparators 16 end 18 of FIG.7.

[0017] FIG. Is a logic diagram Illustrating control circuit 20 of FIG.4.

cuit 20 of FIG.4. [0018] FIG.5a is a logic diagram illustrating control circuit 22 of FIG.4

(8419) FIG. 8 is a firing diagram flustrating the timely artification for a finite child for the finite child for field. A utilities growed compression 16 and 16 of FIG. 4 utilities growed compression 16 and 16 of FIG. 7 (1992) FIG. 18 is combined book disparaminishmentic degram flustrating the preferred embodiment of the fig. 1992 of the fig.

[0022] Fig.8 is a logic diagram Illustrating control circult 42 of Fig.8.

DETAILED DESCRIPTION

[0023] FIG.3 is e prior art combined block diagram/ schematic diegram illustrating an adaptive "dead time" control circuit 11 for decreasing shoot-through current on power MOS switches. Circuit 11 utilizes standard, prior art comparators COMP1 and COMP2 end exhibits substential power dissipation through quiescent current conduction through comparators COMP1 and COMP2 which is highly undesirable in micro-cower applications. 100241 FIG.4 is a combined block diagram/schematic diegram illustrating a novel adaptive "dead time" control circuit 10 utilizing novel comparators 16 and 18, Although the description of the invention is in the context of power MOS switches it should be understood that the invention is not limited to power MOS applications, but is applicable to any totem pole (push-pull) output configuration using high input impedance (voltage driven) switches. A totem pole output transistor configuration exists in FIG.4 with a PMOS transistor 12 connected in 55 series with an NMOS transistor 14 between a voltage source Vcc and circuit ground. The output transistors 12 and 14 may be either internal or external devices (inte-

grated orto the same substate or may be independent). A first conted circuit 20 is connected to a gate terminal of PAIOS translator 12 and an input of a first comparator. If . First control circuit 20 also is connected to a digital input HSDin(fast) and to an output of a second comparator to the parator 15. A second control circuit 22 is connected to a gate terminal or NMOS translator 14 and an input of second comparator 18. Second control circuit 22 also is on connected to a digital input LSDin and an output of first comparator 15.

19825] FIG. 5 is a logic diagram illustrating an embodiment of first control cloud 20 of FIG. 1 Figs control incus 20 has a NOT gaite 2 having a first input connected to digital input HSDIn(bar) and a second in 16 NODE11, and output of NOT gaite 24 is connected to an input of an investing power driver 25. Investing power driver 25 has an output which forms the output (P-gaits) of first control cloud 25 and is connected to the gaits berminal of PMDS.

20 Intensident T2. (1923) Find, 5 is in logic diagram illustrating an embodiment of second control circuit 22 of Find, 5 second control circuit 22 of Find, 5 second control circuit 22 of Find, 5 second control circuit 27 has s NAND gas the winey of sirst uncertainty of the control circuit 25 second of find compensation 15 (NODE25, A) output of NAND gate 28 so connected to the input of an investing power circuit 20, line retires of the control circuit 22 second circuit 25, line retires 25, l

[8027] FIG.8 is e timing disprain illustrating the voltage weekform timing ralisonnish between various nodes in comparator circuit 16 of FIG.4. The voltage weekform layersed are digital injustrat Bioliphics (ISDI), the gate terminal voltages of PMOS transistor 12 and NMOS transistor 12 and NMOS transistor 14 project end N-5-gale by the outputs of comparators 18 and 18 (NODE1 end NODE2).

[0028] FIG.7 is a combined block diagrem/schematic diagram illustrating novel comperators 16 end 18 within circuit 10 of FIG.4. Both comparator 16 and comparator 18 have the same internal circuitry with their only difference being where their output is taken. Comparator 16 has its output taken from an output of inverter 50 while comparator 18 has its output taken from an output of inverter 48. Both compensions 16 end 18 have an input connected to a gate terminal of a PMOS transistor M1 and an input connected to a gate terminal of an NMOS transistor M4. M1 is connected in series between e first resistor R1 (which in turn is connected to a supply voltage Vcc) and a second resistor R2. An NMOS transistor M2 is connected in series between R2 and circuit ground. M4 is connected in series between a third resistor R3 end a fourth resistor R4 which in turn is connected to circuit ground. A PMOS transistor M3 is connected in series between R3 end supply voltage Vcc. The junction between MI and R2 is connected to inverter 50 which in turn is connected to e gate terminal of M3.

3

The junction between R3 and M4 is connacted to invertor 48 which in turn is connected to a cate terminal of M2. Comparators 16 end 18 of FIG.4 and shown in datail in FIG.7 develop their trip points internally and have no need of a second input.

[0029] FIG.8 is a combined block diagram/scheme diagram illustrating comparators 16 and 18 of FIG.4. Both comparator 16 and comparator 18 have the same intamai circuitry. Both comperators 16 and 18 have an input connected to a gete terminal of a PMOS transistor M1 and to a gate terminal of an NMOS transistor M4. M1 is connected in series between a first resistor R1 (which in turn is connected to a supply voltage Voc) and a second resistor R2. An NMOS transistor M2 is connected in series between R2 and circuit ground. M4 is connected in series between a third resistor R3 and e fourth resistor R4 which in turn is connected to circuit ground, A PMOS trensistor M3 is connected in series between R3 and supply voltage Vcc. A first inverter 46 has an input coupled to a source terminal of M1 and le 20 connected in series with a second inverter 44 which in turn is connected to a third control circuit 42. Invertor 44. elso is connected to e third inverter 50 which in turn is connected to e gete terminel of M3. A fourth inverter 52 hes en input coupled to e drein terminal of M4 and is 25 connected in series with e fifth inverter 54 which in lum is connected to third control circuit 42. Inverter 54 else is connected to a sixth loverter 48 which in turn is connected to a gate terminal of M2. As etated for FIG.7. comparators 16 and 18 develop their trip points internally and have no need of a second input.

[0030] FIG.9 is a logic diagram illustrating third control olrcult 42 of Fig. 8. Third control circuit 42 has a NOR gate 72 having a first input connected to the output of inverter 54 of FIG.8 and a second input that is connected 35 to en output of e second NOR gate 76. NOR gate 72 hes en output that forms the output of third control circuit 42 end elso forms e first input to NOR gete 76. An inverter 74 has an input connected to the output of inverter 44 of FIG.8 end en output that forms the second input 40 of NOR gate 78.

[0031] The following is e functional description of the invantion of FIG.7 within circuit 10 of FIG.4. In this description of circuit 10 of FIG.4, digital control inputs HS-Din(ber) and LSDin ere connected together. However circuit 10 could coarata with HSDin(bar) and LSDin operating independently. Whan HSDin(bar) (and therefore LSDIn) goes high and NODE1 is low, the output of first control circuit 20, the gate tarminel of PMOS transistor 12 (hereinafter called P-gate) goes high as shown in FIG.6 (point 1). The slope of P-cate is less than that of HSDIn(bar) because of the substantial gate capacitance of PMOS transistor 12. At some predetermined voltage level (called trip point A) the output of first control circuit 20 triggers comparator 16. The value of trip point A is 55 able to be manipulated by the designer and will be discussed in conjunction with FIG.7. When comparator 16 triggers, its output (NODE2) goes high (point X of FIG.

6). The digital input combination of NODE2 being high and LSDin being high causes the output of second control circuit 22, the gata terminal of NMOS transistor 14 (hareinafter called N-gate) to go high. The value of trip point A (see point 2 of FIG.6) should be set greater then the diffarence between Vcc and the thrashold voltage (Vta) of PMOS transistor 12 (Vcc-Vta) to ensure that PMOS transistor 12 is off before NMOS transistor 14 is turned on

[0032] Similar to the slope of P-gala, tha slope of Ngate is less than that of NODE2 because of the substantial gate capacitance of NMOS transistor 14. When Ngate reaches a predetermined voltage level the output (NODE1) of second comparator 18 triggers and goes high. The combination on NODE1 being high and HSDin (bar) being high results in no change to the output of first control circuit 20 (P-gate); therefore P-gate remains high thereby ensuring PMOS transistor 12 stays off. (9033) When HSDin(bar) and LSDin on low, NODEL end NODE2 are still high. The combination of HSDin (bar) being low and NODE1 being high results in no change to the output of first control circuit (P-oata): therafore PMOS transistor 12 staye off. The combination of LSDin being low end NODE2 being high results in the output of second control circuit 22 (N-acte) coins low (point 3 of FIG.8). When N-gete fells below trip point B the output of comparator 18 trips and NODE1 coes low (point Y of FIG.8). When NODE1 goes low, the combination of NODE1 being low and HSDin(ber) being low causes the output of first control circuit 20 (P-gate) to go low. PMOS transistor 12 will begin conducting when P-gete falls a threshold voltege (VI_p) below the supply voltage V....

[0034] It is Important to note that circuit 10 of FIG.4 axhibits e "breek before make" circuit configuration provided that internel trip points (trip point A end trip point B of comparators 16 and 18) are sat eppropriately. For example, trip point A of comperator 16 ehould be sat high enough to ensure that PMOS transistor 12 is off(not conducting) before comperetor 16 triggers high. This can be done by setting trip point A above the difference between supply voltage Vcc and the threshold voltage (VIp) of PMOS transistor 12 (Vco-VIp). Similarly, trip point B of comparator 18 should be set low enough to ansure that NMOS translator 14 is off (not conducting) before comparator 18 triggers low. This can be done by setting trip point B below the threshold voltage (VL) of

NMOS transistor 14. [0635] The operation of comparator 16 of FIG.7, an embodiment of the invention, is now described in detail. Comparator 18 has the same schematic as comparator 18 except that resistor values and transistor sizings may differ depending upon the desired trip points and the output of comparator 18 is taken from a different noda.

[0036] In FIG.7, when the input is low, M4 is off and M1 is on. When M1 is on, node N14' is pulled high and node N12' is pulled low through inverter 50. With N12' low, M3 is on, however no current is conducting through

EP 0 714 168 B1

M3 because M4 is off. When M3 is on, node N19' is outled high thereby causing node N8" to be low, which meens OUTp(18) is low.

100371 As the input to comparator 16 transitions from low to high, comparator 16 goes through five phases of 5 operation. In phase 1, the input voltage is less than the thrashold voltage Vt. of M4. Therefore M4 remains off and the comperator requires no supply current. In phase 2, the input voltage exceeds Vt, and current begins to flow through M3, R3, M4 and R4, M4 now acts as a source follower, setting the current flow through R4, and so the voltage at node N19' is roughly equal to:

[0038] Since R3 = N*R4, where N is a constant, the equation above has a gain factor "N" that allows one to minimize the change in input voltage during phase 2. [0039] In chase 3, the voltage at node N19' drops be- 20 low the trensition threshold for inverter 48, node N8" goes high, turning on M2. Now current begins to flow through R1, M1, R2 and M2, M1 acts as a source follower, setting the current flow through R1, and so the voltage at N14" is roughly equal to:

$$V(\text{node }14') = (\text{R2/R1})(\text{Vcc-Vin-Vgs}_{M1}).$$

$$[0040] \quad \text{Since } \text{R2} = \text{M*R1}, \text{where *M* is a constant, the}$$

equation above hee e gein fector "M" that allows one to minimize the change in input voltage during phase 4 (to be discussed below). [0041] In phase 4, the voltage at node N14' drops below the transition threshold for inverter 50, and node 35 N12' goes high. This causes the output of comparator 16 to transition from tow to high, Simuttaneously, M3 is turned off. This stops current flow through M3, R3, M4 and R4. However, M4 remeins on, end pulls N19' to ground, so the comparator's operation is unaffected. In 40 phase 5, the input voltage continues to rise. Eventuelly

it exceeds (Vcc-Vt_{M1}) where Vt_{M1} is the threshold voltaga of M1. Current now stops flowing through R1, M1, R2 and M2 and comparator 16 (or 18) stops drawing supply current. [0042] The trip point (Virioté) of comperator 18 is, as mentioned above, the point where the voltage on N14" crosses the transition threshold (Vesseta) of inverter 50. Therefore, this trip point is:

where R2/R1 is equal to "M". If "M" is made large, the last term in the above equation becomes small, and the 55 threshold Visio 16 moves closer to Vcc-Vgs_{M1}. By approcrietaly selecting the value of "M", trip point A of comparator 18 in FIG.6 can be sat as desired.

[0043] In a similar manner, the trip point (Virinta) of comparator 18 is the point where the voltage on N19' crosses the transition threshold V_{trans48} of inverter 48. Therefore, this trip point is:

$$V_{bip18} = (R4/R3)(Voc - V_{trens48}) + Vgs_{bis}$$

where R3/R4 is equal to "N", if "N" is made large the first term in the above equation becomes small, and the threshold V_{trio18} moves closer to Vgs_{M4}. By appropriately selecting the value of "N", trip point B of comparetor 18 in FIG.6 can be set as desired.

[0044] The transition thresholds (V_{trans68} end V_{trans60}) 15 can be computed given the sizes of the transistors inside inverters 48 and 50. With this knowledge, resistors R1, R2. R3 and R4 can be set to provide desired thresholds V_{trip18} and V_{trip18}. By making "M" and "N" large (for example M=N=9), the thresholds are not only adjusted to desirable voltages, but the sensitivity of the thresholds to changes in transistor parameters in the inverters is minimized

109451 The following is a functional description of the invention with regard to FIG.8. In this description of circuit 16 of FIG.4, digital control inputs HSDIn(ber) end LSDin ere connected together, However circuit 10 could operate with HSDin(bar) and LSDin operating independently. When HSDin(bar) (end therefore LSDin) goes high and NODE1 is low, the output of first control circuit 20, the gate terminal of PMOS transistor 12 (hereinafter called P-gate) goes high as shown in FIG.8 (point 1). The slope of P-gate is less than thet of HSDin(bar) because of the substentiel gete capacitance of PMOS transistor 12. At some predetermined voltage level (called trip point A) the output of first control circuit 20 triggers comperator 16. The value of trip point A is able to be manipulated by the designer and will be discussed in conjunction with FIG.8. When comperator 16 triggers, its output (NODE2) goes high (point X of FIG.8). The digital input combination of NODE2 being high and LS-Din being high causes the output of second control circuit 22, the gete terminal of NMOS trensistor 14 (hereinafter called N-cate) to go high. The value of trip point A (see point 2 of FtG.6) should be set greater then the difference between Vcc and the threshold voltage (VI_p) of PMOS transistor 12 (Vcc - Vta) to ensure that PMOS transistor 12 is off before NMOS transistor 14 is turned

[0045] Similar to the slope of P-gate, the slope of Ngate is less than that of NODE2 because of the substantial gata capacitance of NMOS transistor 14. When Ngate reaches a predetermined voltage level the output (NODE1) of second comparator 18 triggers and goes high. The combination on NODE1 being high and HSDin (bar) being high results in no change to the output of first control circuit 20 (P-gate); therefore P-gate remains high thereby ensuring PMOS transistor 12 stays off. [0047] When HSDin(bar) and LSDin go low, NODE1

and NODE2 are still high. The combination of HSDIn (loss) helps you and NODE1 being high results in no change to the output of first control creating (P-gasile), the combination of the control creating (P-gasile), the combination of the

(DAM). It is reportant to note that creat the of FIGA. **

whites a travest been maint creat configuration provided that internal the points (tip point A and tip point of the point A and tip point and tip point A and tip and tip and tip and tip A and tip and tip and tip A and

ege (V_{Iq}) of NMOS translator 14.

[8049] The operation of comparator 16 of FIG.8, en 39

embodiment of the invention, is now described in detail.

Comparator 18 has the same schematic as comparator

18 except their resistor values and translator sizings may

differ depending upon the desired trip points.

[9855] In FIG.5, when the hyper is low, M4 is giff and 29 MII is on. When M1 is on, noted M14 is guided high end node M12 is guided low through hwesters 44. 48 and 58. With M12 low, M3 is on, however no current is conducting through M3 because M4 is GIf. When M3 is no, node. Not is pushed high themsy occusing node M1 to be high, and W18 is pushed high themsy occusing node M11 to be high. The conductive (20 colors M10 and M11) when the high use to third control circuit.42 (colors M10 and M11) when both isputs to third control circuit.42 are high the output is on third control circuit.42 are high the output is on third control circuit.42 are high the output is on third control circuit.42 are high the output is on the second circuit.42 are high the output is of the second circuit.42 are high the output is on the second circuit.42 are high the output is on the second circuit.42 are high the output is on the second circuit.42 are high the output is on.

[805f] As the legal to comparatior 16 stransilions from 40 low to High, comprehend 14, geaps, goes Brough five phases of operation. In phase 1, the input voilage is less than the threshold voilage V_{cs} of Mt. Therefore Mt emains off and the comparatior requires no supply cus-rent logistes to five through Mt. RQ. Mt and RA. Mt now acts as a source follower, setting Mt courset flow through RA. RQ. Mt and RA. Mt now through RA. Can be voilage at node N19 is roughly equal to:

V(node 19) = Vcc - (R3/R4)(Vin-Vcs...).

[9852] Since R3 = N*R4, where N is a constant, the equation above has a gein fector "N" that allows one to minimize the change in input voltage during phase 2. [9653] In phase 3, the voltage at node M19 drops below the transition threshold for inverter 52, node N8 goes

low the transition threshold for inverter \$2, node N8 goes high, turning on MZ. Inverters 48 and 54 provide edditional gain, ensuring a sharp threshold for inverter 52. Now current begins to flow through R1, M1, R2 and M2, M1 ects as a source follower, setting the current flow through R1, and so the voltage at N14 is roughly equal to.

[0054] Since R2 = M*R1, where "M" is a constant, the equation above has a gain factor "M" that allows one to minimize the change in input voltage during phase 4 (to be discussed betrow).

[8655] is ryhered, the violings at node N14 drops between the terminal retrievable for invertee 46, and node N12 goes high, turning M3-06, invertees 44 and 90 promise decidations (see nouring a sharp interested for invertee 44 and 90 promises on the properties of the strong of the sharp of

[8856] The trip point (V_{trp16}) of comparator 18 is, as mentioned above, the point where the voltage on N14 crosses the transition threshold (V_{trans46}) of inverter 46. Therefore, this trip point is:

where R2/R1 is equal to "M". If "M" is made large, the last term in the ebove equation becomes small, and the threshold V₈₀₁₆ moves closer to Voc- VgS₈₁. By appropriately selecting the value of "M", trip point A of comparator 15 in FIG.5 can be set as desired.

paration 16 in FIGS can be set as desired. [9057] In e similar manner, the trip point (V_{sop18}) of comparator 18 is the point where the voltage on N19 crosses the transition threshold V_{tene52} of inverter 52. Therefore, this trip point is:

where R3/R4 is equal to "N". If "N" is made large, the list term in the equation above becomes small, and the lineshold V_{tip 18} moves closer to Vgs_M. By appropriately selecting the value of "N", trip point B of comparetor 18 in FiG.B can be set as desired.

[8058] The transition thresholds (V_{trans68} end V_{trans52})

can be computed given the sizes of the transistors inside inverters 46 and 52. With this knowledge, resistors R1, R2, R3 and R4 can be set to provide desired thresholds V_{vjt16} and V_{vjt16}, by making "M" and "N" large (for exempte M=N=9), the thresholds are not only adjusted to desirable unitable.

empte Merkers), the intersolous are not only agusted to desirable voltages, but the sensibility of the thresholds to changes in transistor parameters in the inverters is minimized. 196591 Third control circuit 42 obeys the following truth

[0039] I hird control circuit 42 obays the tollowing

N10	N11	Output
1	0	Hold
0	0	1
1 1	1	0

where "hold" indicates that control circuit 42 will "emember" (or hold) the previous state of the output. It is comprehended that any form of logic circuity that provides the truth side above would fail within the scope of this "revention," FLO3 is a logic disignam illustrating a more provided to the state of the state of the scope of this "revention," FLO3 is a logic disignam illustrating a scope of the state of the scope of the state of the couput and a single circuit to generate the signals supplied as to Node 1 and Node 2 of FLO3.4 and so

[0060] Comparators 16 and 18 of FIG.7 have several advantages over the prior art. Firstly, comperators 16 and 18, utilized within circuit 10 of FIG.4, prevent shootthrough current independently of capacitive loading. 30 When the output of control circuits 20 end 22 have large capacitive loads, the gate terminals of PMOS transistor 12 end NMOS transistor 14 trensition more slowly. However, circuit 10 does not "make" before it "breaks." Since the gate terminals of transistors 12 and 14 must cross 35 either trip point A or trip point B before the other transistor conducts end since the trip points can be made to be above Vcc-VIp or below VI_N, it ensures that one transistor is off before the other transistor turns on. This can be achieved in a majority of applications because power 49 MOSFETs often have threshold voltages which are deliberataly sat higher than those of the signal devices used in comparators 18 and 18. Even if the thresholds of the power transistors are equal to those of the signal transistors, this circuit can nearly eliminate through currents, for the time allowed for these currents to flow can be made very small by selecting large values for the gain factors "M" and "N" discussed above. Therefore e "breek before meka" configuration exists independent of capacitive loading.

[6061] Comparators 18 and 18 of FIG.7 also advantageously allows on to vary both the high this point and the low this point. The high this point may be varied by simply eltering the resistor ratios of R1 and R2 of comparator 15 while the low tift point may be varied by simply eltering the resistor ratios of R3 and R4 of comparator 15 hills ellow circuit 10 of FIG.4 utilizing comparator 18. This allows circuit 10 of FIG.4 utilizing comparator 18. This allows circuit 10 of FIG.4 utilizing comparator 19. This allows circuit 10 of FIG.4 utilizing comparator 19. This sillows circuit 10 of FIG.4 utilizing comparator 18. This sillows circuit 10 of FIG.4 utilizing circuit 18. This sillows circuit 10 of FIG.4 utilizing circuit 18. This sillows circuit 10 of FIG.4 utilizing circuit 18. This sillows circuit 19. This sillows circuit 19. This sillows circuit 19. This sillows circiit 19. This sillows circuit 19. This sillows circuit 19. This si

semiconductor processes that utiliza MOS transistors having verying threshold voltages.

(BMEZ) Another advertes or unitary comparators 15 to 15 and 15 or 1

[0063] Comparators 16 and 18 of FIG. 8 are an alternative embodiment to that of FIG.7. The presence of multiple inverters 44, 45 and 50 and 48, 52 and 54 provide additional gain to sharpen the transition thresholds of the lacel inverters, increasing the accuracy possible with this circuit conflueration.

Claims

1. An output driver circuit comprising:

an output transistor petr comprising first end second transistors coupled together in series between a first and e second voltage potential operable to switch en output of the output driver circuit between the first and second voltage po-

first end second control circults each having an culput coupled to control terminal of the first end second treatistics respectively and each having a first injent coupled for first and second inputs of the output driver circuit respectively. Sets end second compressive sech having an input coupled to the control farminal of the first and second remissions respectively and each the second or first control circuits respectively. whereit:

> the first and second comparators are respectively adapted to compare the voltages at the control terminals of the first and second transistors with predeterminal voltage levels and communicate via an output the result of those comparisons to the second and first control circuits respective-

the first and second control circuits are arranged to manipulate the voltages et the control terminals of the first and second transistors under the influence of the outbuts of the second and first comparators so that when the output of the output driver circuit changes state, one transistor in the

output trensistor pair is turned off before the other transistor in the output transistor pair is turned on.

characterised in that the first or second corp. parator, or each of those, comprises:

- on upper trip point circuit having a first input 10 coupled to the input of that comparator, e secand input, and an output:
- a lower trip point circuit having a first input coupled to the input of the comperator, a second input coupled to the output of the upper trip #5 point circuit, and an output coupled to the second input of the upper trip point circuit; and wherein the output of the upper trip point circuit is responsive to its input rising above a prodetermined voltage value, the output of the lower 20 trip point circuit is responsive to the input rising abova a predetarmined voltage value, and one or both of the outputs of those trip point circuits is connected to the output of the comperator so as to influence the respective control circuit to 25 ensure that when the output of the output driver changes stelle, one transistor in the output transistor pair is turned off before the other transisfor in the output peir is turned off.
- 2. The output driver circuit of claim 1, wherein the output transistor pair comprises:
 - a PMOS transistor having a source terminal coupled to a first voltage source, a gate termi- 35 nal coupled to the first control circuit and the first comparator, end a drain terminal; and a NMOS transistor having a source terminal coupled to a second voltage source, a gate terminal coupled to the second control circuit and 40 the second comparator, and a drain terminal coupled to the drain terminal of the PMOS transistor, wharein a junction between the drain terminals of the PMOS transistor and NMOS transistor forms an output of the output driver cir- 45 cuit.
- 3. The output driver circuit of claim 2 wherein the first voltaga source has a voltage potential greater than the voltaga potantial of the second voltage source. 50
- 4. The output driver circuit of any preceding claim, wherein the first control circuit outputs a digital low value when the first input of the output driver circuit and the output of the second comparator are digital 55 low values and outputs a digital high velue otherwise.

- 5. The output driver circuit of any preceding claim. wherein the first control circuit comprises an OR cate.
- 5 6. The output driver circuit of any preceding claim, wherein the first control circuit comprises:
 - a dual input NOR gate having a first input coupled to the first input of the output driver circuit a second input coupled to the output of the secand comparator and an output; and
 - en inverter having an input coupled to the output of the dual input NOR gate and en output coupled to the control terminal of the first transistor in the output transistor calr
 - 7. The output circuit of any preceding claim, wherein the second control circuit outputs a digital high value when the second input of the output driver circuit. and the output of the first comparator are a digital high value and outputs a digital low value otherwise.
 - 8. The output driver circuit of any preceding claim, wherein the second control circuit comprises an AND gate.
 - 9. The output circuit of any preceding cleim, wherein the second control circuit comorises:
 - a dual input NAND gate heving a first input coupled to the second input of the output driver circuit, a second input coupled to the output of the first comparator and an output; end en inverter having an input coupled to the output of the NAND gate and an output coupled to the control terminal of the second transistor of the output transistor pair.
 - 10. The output driver circuit of any preceding claim wherein the upper trip point circuit outputs a high digital value when the input rises above its predetermined voltage value and a low digital value otherwise and, the lower trip point circuit outputs a high digital value when the input rises above its predetermined voltage value and a low digital value othonwise
- 11. The output driver circuit of any preceding claim wherein the first comparator comprises the said upper tric point circuit having its first input counted to the input of the first comparator, a second input, and an output, and the said lower trip point circuit having its first input coupled to the input of the first comparator, a second input coupled to the output of the upper trip point circuit, and an output coupled to the second input of the upper trip point circuit:
 - and wherein the output of the upper trip pint circuit forms the output of the first comperator

12. The output driver circuit of any proceding claim when the second comparation complete the said upper trip point circuit having its first input coupled to the input of the second comparation, a second input, and an output, and the said lower trip point circ. I cut having in Sixt Input coupled to the input of the second comparator, a second input coupled to the second comparator, a second input coupled to the cuptor of the upper trip point circuit.

and wherein the output of the lower trip point circuit forms the output of the second comparator.

 The output circuit of any preceding claim wherein the upper trip point circuit comprises:
 e first resistor connected between e first voli-

 first resistor connected between e first voltage source and e source terminal of e PMOS transistor;

the PMOS trensistor having a gate terminat 20 connected to the input of the comparator, and e drain terminal; a second resistor connected between the drain

terminel of the PMOS transistor and a drain terminel of an NMOS transistor;

the NMOS transistor having a gate terminal connected to the output of the lower trip point circuit, and a vollege source terminal connected to the second voltage source; and an inverter having an input connected to the

drain terminel of the PMOS transistor and an cutput of which forms and output of the upper trip point circuit.

 The output driver circuit of any preceding claim, 35 wherein the lower trip point circuit comprises;

e PMOS transistor having a source terminal connected to the first voltage source, e gate terminal connected to an output of the upper trip 40 point circuit, and e drain terminat; o first resistor connected between the drain ter-

o first resistor connected between the drain terminat of the PMOS transistor; and a drain terminal of an NMOS transistor; the NMOS transistor having a gate terminal 45

connected to the input of the first comparator, and a source terminal connected to a second resistor; a second resistor connected between the

source terminal of the NMOS transistor and the second voltage source; and an inverter heving en input to the drain of the NMOS transistor and an output which forms an

output of the lower trip point circuit.

15. The output circuit of claim 13 or claim 14, wherein

the inverter comprises a plurality of inverter elements. 16. The output circuit of any preceding claim,

wherein the upper trip point circuit outputs a high digital value when its input rises above its predetermined voltage value and a low digital value otherwise and, the lower trip point circuit outputs a high digital value when its input rises above its predetermined voltage value and a low digital value otherwise; end

whenh he said comparetor chiffer comprises a shift control circuit coupled to the upper tip point circuit and the lower tip point circuit and the lower tip point circuit and couplet, set the output, as the point circuit cubus high digital reviews, outputs a digital low value when the upper tip point circuit cubus high digital values, outputs a digital low value when the upper tip point circuit and lower tip point circuit output digital low values and materials the digital value when the upper tip point circuit value when the upper tip point circuit value when the lower tip point circuit outputs a digital low value and the lower tip point circuit outputs a digital hely value.

 The output circuit of claim 16, wherein the third control circuit comprises:

> e first duet input NOR gete having e first input coupled to the output of the lower trip point circuit, a second input end en output, wherein the output forms the output of the third control circuit:

a second dual input NOR gets having a first input coupled to the output of the first dual input NOR gats, a second input and an output coupled to the second input of the first dual input NOR sets: and

and an inverter heving en input coupled to the output of the upper trip point circuit and an output coupled to the second input of the second dust input NOR gate.

18. An output driver circuit comprising:

an output transistor pair comprising first and second transistors coupled together in series between e first and a second voltage potential operable to switch an output of the output driver circuit between the first and second voltage potentiats;

six and second control circuits each having an output coupled to control terminate of the first and second transistors respectively and each having a fix ill put coupled to first and second knows of the output driver circuit respectively; a comparator having an input coupled to the control terminat of the first or second classistors and having an exput coupled to second input of the second and single coupled to the control terminate of the first or second classistors and having an exput coupled to second input of the second and first control circuits respectively.

wherein:

the comparator is adapted to compare the voltages at the control terminals of the first or second transistors with predetermined 5 voltage levels end communicate via an outout the result of those comparisons to the second end first control circuits respective-

ly; and

the first and second control circuits are er- 10 ranged to manipulate the voltages at the control terminals of the first and second trensistors under the influence of the output of the comparator so that when the outout of the output driver circuit changes 15 state, one transistor in the output transistor pair is turned off before the other transistor in the output transistor pair is turned on.

characterleed in that the comparator com- 20 prises

an upper trip point circuit having e first input coupled to the input of the comparator, e second input, and an output; a lower trip point circuit having a first input cou-

pied to the input of the comparator, a second locut coupled to the output of the upper trip point circuit, and an output coupled to the secand Input of the upper trip point circuit; and wherein the upper trip point circuit outputs a digital high value when the input rises above a predetermined voltage, the lower trip point outputs a digital high value when the input rises ebove e predetermined voltage value, and the 35

e third control circuit coupled to the upper and lower trip point circuits that outputs, as the output of the comperator, a high digital value when the upper trip point circuit and lower trip 40 point circuit output high digital values, outputs a digital low value when the upper trip point circult and lower trip point circuit output digital low values end meintains its dicital value when the upper trip point circuit outputs e digital low val- 45 ue and the lower trip point circuit outputs e dioital high value.

comparetor further comprises:

19. The output circuit of claim 18, wherein the third control circuit comprises:

> a first dual input NOR gate having a first input coupled to the output of the lower trip point circuit, e second input and an output, wherein the output forms the output of the third control cir- 55 cuit;

a second dual input NOR gate having a first input coupled to the output of the first dual input NOR gete, a second input and an output coupled to the second input of the first dual input NOR gale; and

and an inverter having en input coupled to the output of the upper trip point circuit and en output coupled to the second input of the second dual input NOR gate.

Patentansprüche

Ausgangstreiberschaltung, mit:

einem Ausgangstransistorpaar, das einen ersten und einen zweiten Transistor umfaßt, die zwischen einem ersten und einem zweiten Spannungspotential miteinander in Reihe geschaltet und so betreibbar sind, deß sie ein Ausgangssignal der Ausgangstreiberschaltung zwischen dem ersten und dem zweiten Spannungspotential umschalten:

ersten und zweiten Steuerscheitungen, wovon jede mit einem Ausgeng an Steueranschlüsse des ersten bzw. des zweiten Transistors engeschlossen let und wovon lede mit einem ersten. Fingeng en erste bzw. zwelte Fingenge der Ausgangstreiberscheitung engeschiossen ist:

einem ersten und einem zweiten Komperator. wovon ieder mit einem Eingeng en den Steuerenschiuß des ersten bzw des zweiten Tranelstors angeschlossen ist und wovon jeder mit einem Ausgang an einen zweiten Eingeng der zweiten bzw. ersten Steuerscheitungen engeschlossen ist;

der erste und der zwelte Komparator ieweits so beschaffen ist, deß sie die Soannungen en den Steueranschlüssen des ersten und des zweiten Transistors mit vorgegebenen Spannungspagein vergleichen und über einen Ausgeng das Ergebnis dieser Vergleiche den zweiten bzw. ersten Steuerschaltungen mitteilen, und

die ersten und zweiten Steuerschaltungen so beschaffen sind, daß sie die Spannungen an den Steueranschlüssen des ersten und des zweiten Transistors unter dem Einfluß der Ausgangssignale des zweiten und des ersten Komparators in der Weise verändern, daß denn, wenn das Ausgangssignal der Ausgangstreiberschaltung seinen Zustand ändert, ein Transistor des Ausgengstrensistorpaars sperrt, bevor

der andere Transistor des Ausgangstransistemaers durchschaltet.

dadurch gekennzeichnet, daß der erste oder der zweite Komparator oder beida umfassen: 5

eine Schaltung für einen oberen Auslösepunkt, die mit einem ersten Eingang an den Eingang dieses Komparators enceschlossen ist und einen zweiten Eingang sowie einen Ausgang be- 10 sitzt:

eine Schaltung für einen unteren Austösepunkt, die mit einem ersten Eingeng en den Eingeng des Komparators angeschlossen ist, 15 mit einem zweiten Eingang an den Ausgang der Scheitung für den oberen Auslösepunkt anosschlossen ist und mit einem Ausgang an den zweiten Eingang der Schaltung für den oberen Auslösepunkt angeschlossen ist: und

wobei der Ausgang der Schaltung für den oberen Auslösegunkt darauf anspricht, daß ihr Eingangssignal über einen vorgegebenen Spannungswert ensteigt, der Ausgang der Schal- 25 tung für den unteren Aualösepunkt darauf snswicht, daß das Eingangssignal über einen vorgegebenen Spannungswert ansteigt, und einer der Ausgänge oder beide Ausgänge dieser Auslösepunkt-Scheltungen an den Aus- 30 gang des Komparators angeschlossen ist, um die jeweilige Steuerschaltung in der Weise zu beeinflussen, daß sichergestellt ist, daß bei einer Zustandsänderung des Ausgangssignals des Auspangstreibers einer der Transistoren 35 Im Ausgangstrensistorpaar sperrt, bevor der andere Transistor im Ausgangspaar sperrt.

2. Ausgangstreiberschaltung nach Anspruch 1, bei der das Ausgangstransistorpaar umfaßt:

> einen PMOS-Transistor, der mit einem Source-Anschluß en eine erste Soennungsquelle angeschlossen ist, mit einem Gate-Anschluß an Komperator angeschlossen ist und einen Drain-Anschluß besitzt; und

einen NMOS-Trensistor, der mit einem Source-Anschluß en eine zweite Spannungsquelle an- 50 geschlossen ist, mit einem Gate-Anschluß an die zweite Steuerscheitung und an den zweiten Komparator engeschlossen ist und mit einem Drain-Anschluß an den Drain-Anschluß des PMOS-Transistors angeschlossen ist, wobei 55 eine Verbindung zwischen den Drain-Anachitissen des PMOS-Transistors und des NMOS-Transistors einen Ausgang der Ausgangstreiberschallung bildet.

- Ausgenastreiberschaltung nech Anspruch 2. bei der die erste Spannungsquelle ein Spannungspotential besitzt, das höher als das Spennungspotential der zweiten Spannungsquelle ist.
- Ausgangstreiberschaltung nach einem vorhergehenden Anspruch, bei der die erste Steuerschaltung einen digital niedrigen Wert ausgibt, wenn das erste Eingangssignal der Ausgangstreiberschaltung und das Ausgangssignal des zweiten Komparators digital niedrige Werte besitzen, und andemfalls einen digital hohen Wert ausgibt,
 - 5. Ausgangstreiberscheltung nech einem vorhergehenden Anspruch, wobei die erste Steuerschaltung ein ODER-Gatter umfaßt.
 - 6. Ausgangstreiberscheitung nach einem vorhergehenden Anspruch, bei der die erste Steuerschaltuno umfaßt:

ein Doppeleingang-NOR-Getter, des mit einem ersten Eingang an den ersten Eingang der Ausgangstreiberschaltung angeschlossen ist und mit einem zweiten Eingang an dan Ausgang des zweiten Komparators angeschlossen ist und einen Ausgeng besitzt; und

einen Inverter, der mit einem Eingang an den Ausgang des Doppeleingang-NOR-Gatters angeschlossen ist und mit einem Ausgeng en den Sleueranschluß des ersten Translators im Ausgangstransistorgaer angeschipssen ist.

- 7. Ausgengsschaltung nach einem vorhergehenden Anspruch, bei der die zweite Steuerschaltung einen digital hohen Wert ausgibt, wenn des zweite Eingangssignal der Ausgengstreiberscheitung und das Ausoanossional des ersten Komparators digital hohe Werte besitzen, und andernfalls einen digital niedrigen Wert ausgibt.
- die erste Steuerschaltung und an den ersten 45 8. Ausgangstreiberschaltung nach einem vorhergehenden Anspruch, bei der die zweite Steuerschaltung ein AND-Gatter umfaßt
 - 9. Ausgangsschaltung nach einem vorhergehenden Anspruch, bei der die zweite Steuerschallung umfafit-

ein Doppeleingang-NAND-Gatter, das mit einem ersten Eingang an den zweilen Eingang der Ausgengstreiberschaltung angeschlossen ist und mit einem zweiten Eingeng an den Auscano des ersten Komparators angeschlossen ist und einen Ausgang besitzt; und

einen Invertor, der mit einem Eingang an den Ausgang des NAND-Gatters angeschlossen ist und mit einem Ausgang en den Steueranschluß das zweiten Transistors des Ausgangetransistorpaers angaschlossen ist.

19. Ausgangstreiberschaftung nich einem vorhängehenden Angruch, bei der die Schäung für den oberan Austösspunkt einen digitatien hohen West ausgibt, wenn des Eingangssignal über ihren vorgegebenen Spennungswert ansteigt, und andernfalls einen dijellen liedirgen Wert ausgebt und die Schäftung für den unteren Austösegunkt einen digital hohen Wert ausgibt, wenn das Eingangssignal über ihren vorgegebenen Spennungswert entseigt, 19 und anderhalts ahen digital niedien Wert aus-

11. Ausgrügsrücksarchaltung soch einem vorbergunderde der Jehred Ansprück bei der der ertal stürkergenderde de Jeden und der Jeden der der der Jeden der Jeden hand der Jeden hand der Jeden hand der Jeden der Jeden

ist, umfaßt; und bei der der Ausgang der Schaltung für den oberen Ausfösapunkt dan Ausgang des ersten Komparators bildet.

12. Ausgraphteibestarbillung nach einem vorhergshender Ansprach, beit der der zweite Komprattor die Schaltung für den deuen Ausfosspracht, die mit harm eisten Einigung er den Eigung des zweiten Komprattors angeschlossen ist und sinan zweiten Komprattors angeschlossen ist und sinan zweiten Schaltung die ein zu der den der der der den Schaltung die ein zweiter Ausgraphen zu der Schaltung für den Komprattors ergeschossen ist, mit einer zweiten Eingang an dan Ausgraph der Schaltung für den der den Ausgraph der Schaltung für den der nach Ausgraph ausgraphen Ausgraph der Schaltung für den Ausgraphen Ausgraphen der Schaltung für den hann Ausgraph an den zweiten Ausgraph der Schaltung für den hann Ausgraphen Ausgraphen der Schaltung für den hann Ausgraphen Ausgraphen der Schaltung für den Ausgraphen der Schaltung für de

und bei der der Ausgang der Schaftung für dan unteren Austösepunkt den Ausgang des zweiten Komparators bildet.

 Ausgengsschaltung nach einem vorhergehenden 55 Anspruch, bei der die Schaltung für den oberen Auslösenunkt umfaßt: einen ersten Widerstand, der zwischen eine erste Spannungsquelle und einen Source-Anschluß eines PMOS-Trensistors gaschaltet ist;

wobai der PMOS-Transistor mit einem Gata-Anschluß an den Eingeng des Komparators angeschlossen ist und einen Drain-Anschluß besitzt:

einen zweiten Widerstand, der zwischen dan Drain-Anschluß das PMOS-Transistors und einen Drain-Anschluß eines NMOS-Transistors geschaltet ist:

wobei der NMOS-Transistor mit einem Gate-Anschluß an den Ausgang der Schaltung für den unteran Austläsepnucht angeschlossen ist und mit einem Spennungsquellenanschluß an die zwaite Spennungsquelle angeschlossen ist und

einen Inverter, der mit einem Eingang an den Drain-Anschtuß des PMOS-Translators angeschlossen ist und wovon ein Ausgang einen Ausgang der Schellung für den oberen Ausösepunkt bildet.

 Ausgangsfreiberschaltung nach ainem vorhergehenden Anspruch, bei der die Scheltung für dan unleren Auslösepunkt umfeßt:

> einen PMOS-Transistor, der mit einem Source-Anschluß an die einste Sparnungsquelle engeschlossen ist und mit einem Gete-Anschluß an alnen Ausgang der Scholtung für dan oberen Austisepunkt angeschlossen ist und einen Drein-Ausschluß basitzt:

sinen ersten Widerstand, der zwischen den Drain-Anschluß des PMOS-Transistors und einen Drain-Anschluß eines NMOS-Transistors geschaltet ist;

wobel der NIMOS-Transistor mit einem Gete-Anschluß an den Eingang des ersten Komparatiors angeschlossen ist und mit einem Source-Anschluß en einen zweiten Widerstand angeschlossen ist;

einen zweiten Widerstand, der zwischen den Source-Anschtuß des NMOS-Transistors und die zweite Spannungsqueile geschaltet ist; und

ainen Inverter, der mit einem Eingang an den Drain des NMOS-Transistors angeschlossen ist und wovon ein Ausgang einen Ausgang der Schaltung für den unteren Ausfösepunkt bildet.

23 15. Ausgangsschaltung nech Anspruch 13 oder Anspruch 14, bei der der Inverter mehrere Inverterele-

mente umfaßt. 18. Ausgangstreiberschaftung, mit:

16. Ausgangsscheitung nach einem vorhergehenden 5 Anspruch.

> bei der die Schaltung für den oberen Auslösepunkt einen digital hohen Wert eusgibt, wenn ihr Eingangssignal über ihren vorgegebenen 19 Spannungswert ansteigt, und endernfalls einen digital niedrigen Wert ausgibt und die Schaltung für den unteren Auslösepunkt einen digital hohen Wert ausgiot, wenn ihr Eingangssignal über ihren vorgegebenen Spannungswert an- #\$ steigt und andemfalls einen digital niedrigen Wert ausgibt: und

wobei der Komparator ferner umfaßt:

eine dritte Steuerschaltung, die en die 20 Schaltung für den oberen Auslösenunkt und an die Schaltung für den unteren Auslösepunkt angeschlossen ist und als Ausgangssignel des Komparators einen digitalen hohen Wert ausgibt, wenn die Schaltung für den oberen Auslö- 25 sepunkt und die Scheitung für den unteren Auslösepunkt digitale hohe Werte ausgeben, einen digitel niedrigen Wert eusgibt, wenn die Schallung für den oberen Auslösepunkt und die Schaltung für den unteren Auslösspunkt digital 30 niedrige Werte ausgeben, und ihren digitalen Wert beibehält, wenn die Schaltung für den oberen Auslösepunkt einen digital niedrigen Wert ausgibt und die Schaltung für den unteren Auslösepunkt einen digitel hohen Wert ausgibt. 35

17. Ausgangsschaltung nach Anspruch 16, bei der die dritte Steuerschaltung umfaßt:

> ein erstes Doppeleingang-NOR-Gatter, das mit 40 einem ersten Eingeng an den Ausgang der Schaltung für den unteren Auslösepunkt angeschlossen ist und einen zweiten Eingang sowie einen Ausgang besitzt, wobei der Ausgang den Ausgeng der dritten Steuerschaltung bildet;

> ein zweites Doppeleingang-NOR-Gatter, das mit einem ersten Eingang an den Ausgang des ersten Doppeleingang-NOR-Gatters angeschlossen ist, einen zweiten Eingang besitzt 50 und mit einem Ausgang an den zweiten Eingang des ersten Doppeleingang-NOR-Gatters angeschlossen ist; und

einen Inverter, der mit einem Eingang an den 55 Ausgang der Schaltung für den oberen Auskösepunkt angeschlossen ist und mit einem Ausgang an den zwelten Eingeng des zweiten Doppeleingang-NGR-Galters angeschlossen ist.

einem Ausgangstransistorpaar, des einen ersten und einen zweiten Transistor umfaßt, die zwischen einem ersten und einem zweiten Spannungspotential miteinander in Reihe geschaftet und so betreibbar sind, daß sie ein Ausgangssignal der Ausgangstreiberschaltung zwischen dem ersten und dem zweiten Spannunospolential umschalten:

ersten und zweiten Steuerschaltungen, wovon iede mit einem Ausgang an Steueranschlüsse des ersten bzw. des zweiten Transistors angeschlossen ist und wovon jede mit einem ersten Eingang an erste bzw. zweite Eingänge der Ausgangstreiberschaltung angeschlossen ist:

einem Komparator, der mit einem Eingang en den Steueranschluß des ersten oder des zweiten Transistors angeschlossen ist und mit elnem Ausgeng en einen zweiten Eingeng der zweiten bzw. der ersten Steuerscheitung angeschlossen ist:

wobei:

der Komparetor so bescheffen ist, daß er die Spennungen en den Steueranschlüsson des ersten oder des zweiten Transistors mit vorgegebenen Spannungspageln vergleicht und über einen Ausgeng des Ergebris dieser Vergleiche den zweiten bzw. ersion Stauarscheitungen mittellt; und

die ersten und zweiten Steuerschaltungen so beschaffen sind, daß sie die Spannungen an den Steuerenschlüssen des ersten und des zweiten Trensistors unter dem Einfluß des Ausgengssignals des Komparators in der Weise verändern, daß dann, wenn das Ausgangssignal der Ausgangstreiberscheltung seinen Zustend ändert. ein Transistor im Ausgangstransistorpear sperrt, bevor der andere Transistor im Ausgangstransistorpær durchschaltet,

dadurch gekennzeichnet, deß der Komparator umfaRt-

eine Schaltung für einen oheren Austöschunkt die mit einem ersten Eingang an den Eingang des Komparators angeschlossen ist und einen zweiten Eingang sowie einen Ausgang besitzt;

eine Schaltung für einen unteren Auslöse-

punkt, die mit einem ersten Eingang an den Eingang des Komparators engeschlossen ist, mit einem zweiten Eingang an den Ausgang der Schalbung für den oberen Auslösspunkt angeschlossen ist und mit einem Ausgang an den zwelten Eingang der Schalbung für den oberen Auslösspunkt angeschlossen ist und

wobei die Schattung für den oberen Austösepunkt einen digliah heher Wert eusglich wenn zi das Eingangssignei über eine vorgegebene Spannung ensteligt, und die Schaltung für unteren Ausföscpunkt einen diglial hehen Wert ausgöbt, wenn das Eingangssignal über einen vorgegebenen Spannungswert ansteigt, und 15 der Komparator ferner umfalt; eine drifte Steuerschaftung, die an die

Schällungen für den oberen und den unteren Ausbesopnist angeschessen ist und ein Ausgangssignist den Komporation einem dight in den Witter staglit, werden die Schällung dir den Heine Witter staglit, werden die Schällung dir den unteren Ausbeschart digital bei Witter und sollten der Schällung für den oberen Ausbesche staglit der den stellen die Schällung für den unteren Ausgeben, werden die Schällung für den unteren Ausgeben, unter digitale Witter ausgeben, wird werden der schällung der den unteren des Schällung für der werden Ausbeschaft einen digital betrag für der werden den Schällung unteren Ausbeschaft einen digital behand werden ausbeschaft eine digital behand werden ausbeschaft eine den digital behand werden ausbeschaft werden werden

 Ausgengsscheitung nech Anspruch 18, bei der die dritte Steuerscheitung umfaßt:

eusalbt.

ein erstes Doppeleingang -NOR-Gatter, das mit einem ersten Eingeng en den Ausgang der Scheltung für den unteren Austäsepnuck engeschlossen ist und einen zweiten Eingang sowie einen Ausgang besitzt, wobei der Ausgang den Aussend der driften Steuerschallune bildet:

ein zweites Doppeleingang-NOR-Gatter, das mit einem Eingang an den Ausgang des ersten 45 Doppeleingang-NOR-Gatters engeschlossen ist, einen zweiten Eingang besitzt und mit einem Ausgang an den zweiten Eingang des ersten Doppeleingang-NOR-Gatters angeschlossen ist und

einen Inverter, der mit einem Eingang an den Ausgang der Scheitung für den oberen Ausübsepunkt angeschlossen ist und mit einem Ausgang an dem zweiten Eingeng des zweiten 55 Doppreinigang-NOR-Gatters angeschlossen ist.

Revendications

1. Circuit d'attaque de sortie comprenant:

une paire de transistors de sortie comprenant des premier et second transistors couplés ensemble en seine entre un premier et un second potentiels de tension et pouvant être commandes pour commuter une sortie du circuit êtraque de sortie entre les premier et second potentiels de tension.

des premier et deuxième circuit de commande ayant chacun une sortic couplée à des bornes de commande respecitivement des premier et second transistors et ayant chacun une première entrée couplée respectivement à des première et seconde entrées du circuit d'attatoue

de sortie; des premier et second comperateurs eyant chacun une entrite couplée à la borne de commande respectivement des premier et second trensistors et eyant checun une sortie couplée à une seconde entrite respectivement du deuxième ou premier circuit de commende; dans lausait

> les premier et second comparateurs sont respectivement adeptés pour comparer les tensions aux bornes de commande des premier et second trensistors ovec des niveaux de tension prédétermine et communiquer, per l'intermédier d'une sortie, le résultat de com comparations eux deuxième et premier circults de commande respectivement: et

de respectivement; et les premier et de commande sont agendes pour manipuler les hersières et de commande sont agendes pour manipuler les hersières et second trensitions sous l'inserte de premier et second trensitions sous l'inserte comparateurs afin que, quand la sortie de choult d'attaque de cortie change d'autre transietor de la paire de transistors de sorsie soit bloqué avant que fautre transistor de la paire de transistors de sorie condu-

caractérisé en ce que le premier ou le second comparateur, ou checun de ceux-ci, comprend:

un circuit de point de déclenchement supérieur ayant une première entrée couplée à l'entrée de ce comparateur, une seconde entrée, et une

un circuit de point de déclenchement inférieur ayant une première entrée couplée à l'entrée du comparateur, une deuxième entrée couplée à le sortie du circuit de point de déclenchement supérieur, et une sortie couplée à la seconde entrée du circuit de point de déclenchement sunérieur, et

- dans liqual is sorties du circuit de pointé et soiciumhemnia spinier regali quandi son service de passe au-dessus d'une valeur de tension prédéminaté, la point de circuit de posit de dedicembre, la point de circuit de posit de depasse au-déssus d'une valeur de lorsoin prétière de la commandation de la commandation de passe au-déssus d'une valeur de lorsoin prétière de ces circuits de port de déclanchement et (orde) correctéelle à la sortie du comprascion de la commandation de la commandat
- Circuit d'etteque de sortie selon la revendication 1, dans lequel le paire de transistors de sortie comprend;
 - un transistor PMOS eyant une borne de source couplée à une première source de tension, une borne de grille couplée au premièr circuit d'atteque et au premièr compareteur, et une borne de droir; et un transistor NMOS eyant une borne de source 23
 - couplée à une seconde eource de lension, une borne de grille couplée au deuxième circuit de commende et se second comparaiteur, et une borne de drein couplée à le borne de drain du transistor PMOS, dene lequel une comexion 25 entre les bornes de drain du transistor PMOS et du transistor PMOS forme une sortie du circuit d'attaque de sortie.
- Circuit d'attinque de sortie selon în ervendication 2, de 16, Circuit d'attinque de sortie selon în une quetoraque claren (equi se première source de tension e un potentiel de tension et potentiel de tension de la seconde source de tension et potentiel de tension de la seconde source de tension et potentiel de tension de la seconde source de tension et potentiel de tension de la seconde source de tension et potentiel de tension de la seconde source de tension et potentiel de tension de la seconde source de tension et potentiel de tension et la contraction de tension et potentiel de tension et la contraction de tension et la contraction de tension et la contraction de sortie selon înun equetoraque de sortie de sor
- 4. Circuit d'attaque de sortie selon l'une qualconque et des revendications précèdentes, dans lequel le premier circuit de commande délivre une valeur numérique faible quant la première entrée du circuit d'altaque de sortie et la sortie du second comparateur ont des valeurs numériques faibles et sinon délivre une valour numérique font.
- Circuit d'attaque de sortie seion l'une quelconque des revendications précédentes, dans lequel le premier circuit de commande comprend une porte OU.
- Circuit d'attaque de sortie selon l'une quelconque des revendications précédentes, dans le quelle pre-

mier circuit de commande comprend:

- une porte NI à deux entrées eyant une première entrée couplée à la première entrée du circuit d'attaque de sortie, une deuxième entrée couplée à le sortie du second comparateur et une sortie: et
- un inverseur syant une entrée couplée à le sortie de la porte NI à deux entrèes et une sortie couplée à la borne de commande du premier transister de la naire de transisters de certie
- 7. Circuit d'attaque de sortie seion l'une quelconque des revendications précidentes, dans lequel le deuxième circuit de commande délivre une valeur numérique forte quand la soconde entrie du circuit d'attaque de sortie et la sortie du premier comparaleur ont une valeur numérique forte et sinon délivre une valeur numérique forte et sinon délivre une valeur numérique forte.
- Circuit d'ettaque de sortie seion l'une quelconque des revendications précèdentes, dens lequel le dauxième circuit de commande comprend une porte ET.
- Circuit d'ettaque de sortie selon l'une quelconque des revendications précédentes, dens lequel le deuxième circuit de commende comprend:
 - une porte NON-ET à deux entrées ayant une première entrée couplée à la seconde entrée du circuit d'ettaque de sortie, une seconde entrée couplée à le sortie du premier compereteux, et une sortie; et
- un inverseur eyant une entrée couplée à la sorlle de la porte NON-ET et une sorte couplée à la bome de commende du second transistor de le paire de transistors de sortie.
- III. Cracia catingulo e sorial settori furbi quaectorique des revendications pricidentes, dans floque la cicuit de point de déclarchement supérieur délivre une veleur municique forte querie floritée passe d'éssus de sa veleur de tension prédéterminée et et ainon une veleur de l'ente délivre une veleur numérique fibre quand l'émètre passe au-dessus de sa veleur de tension prédéterminée et sinon une veleur municipal passe.
 - 11. Circuit d'attaque de sortie seion l'une quelconque des revendications précédente, dessi eque la premier comparateur comprend ledit circuit de point de déclarchement supérieur eyent se première note couplée à l'entrès du premier comparateur, une deuxième entrée, et une sortic, et l'edit circuit de point de déclarchement iniférieur ayant su première entrèse couslès à l'entrèse du premier comparateur.

une deuxième entrée couplée à la sortie du circuit de point de déclenchement supérieur, et une sortie couplée à la seconde entrée du circuit de point de déclenchement supérieur;

et dans lequel le sortie du circuit de point de déclenchement supérieur forme la sortie du premier comparateur.

12. Circuit d'attilique de sortie seion fuur quelonque des revendictions précédente, dans pauls les -cord companieur comprend teolit descuit de point de déciner d'avent prépareur paris su presimien de déciner d'avent prépareur paris su presimien secondre entiès, et une sortie, et fetal diracit de point de déciner demant référeur grent se presimien sertrée corpté à l'entiès du second companieur, une deuxiliente entrée couglé à la sortie du circuit de point de déciner des retires de second companieur, une point de déciner des retires de la second companieur, et point de déciner des retires de la second companieur, et point de déciner des retires de la second companieur, et point de déciner des retires de la second companieur, et point de déciner des la companieur de la point de déciner des la companieur de la déciner des la companieur de la déciner des la companieur de la des la littre de la des la littre de la des la des la littre de la des la des la des la des la des la des la de la des la de la des la de la des la des

et dans lequel la sortie du circuit de point de déclenchement inférieur forme la sortie du second comperateur.

 Circuit d'etteque de sortie seion l'une quelconque des revendications précédentes, dans lequel le circuit de point de décienchement supérieur comprend:

une première résistance connectée entre une 30 première source de tension et une borne de source d'un transistor PMOS; le trensistor PMOS ayent une borne de grâle connectée à l'entrés du comparateur, et une

bome de drein; une seconde résistance connectée entre la borne de drain du trensistor PMOS et une borne de drain d'un trensistor NMOS:

le transistor NMOS eyent une borne de grille connectée à le sortie du circuit de point de déclenchement inférieur, et une borne de source de tension connectée à la seconde source de tension; et

borne de drain du transistor PMOS et dont une 45 sortie forme une sortie du circuit de point de déclenchement supérieur.

 Circuit d'ettaque de sorte selon l'une quelconque des revendications précédentes, dans lequel le circuit de point de déclenchement inférieur comprend:

> un transistor PMOS ayant une borne de source connectée à la première source de tension, une borne de grille connectée à une sortie du circuit 45 de point de déclenchement supérieur, et une borne de draite:

une première résistance connectée entre le

bome de drain du transistor PMOS et une borne de drain d'un transistor NMOS:

le transistor NMOS ayent une borne de grille connectée à l'entrès du premier comparateur, et une borne de source connectée à une se-

une seconde résistance connectée entre la borne de source du transistor NMOS et la seconde source de tension; et

un inverseur ayant une entrée connectée au drain du transistor NMOS et dont une sortie forme une sortie du circuit de point de déclenchement inférieur.

conde résistance:

 Circuit d'attaque de sortie selon la revendication 13 ou la revendication 14, dans lequel l'inverseur comprend une pluralité d'éléments inverseurs.

16. Excuit d'attiaque de sortie saion l'une quisconque des revendications précédentes, cans loquel le cicait de point de déclenchement supérieur délivre une valeur unmérique foire quent des ensières para eu-dessus de sa valeur de tension précéderminée et sistem une valeur mutérique faible et le circuit de point de déclenchement Intérieur délivre une valeur numérique forte quant don netitée passe eu-dessus de sa valeur de tension précéderminée et sinon une valeur mutérique foire de tension précéderminée et sinon une valeur mutérique foire de tension précéderminée et sinon une valeur mutérique foire et les sais précéderminée et sinon une valeur mutérique foire et les sais que le contrait de la contr

dens lequel ledit comparateur comprend de

un troisième circuit de commande couplé eu circuit de point de déclenchement supérieur et au circuit de point de décienchement inférieur aut délivre, comme sortie du comperateur, une veleur numérique forte quand le circuit de point de décienchement supérieur et le circuit de point de décienchement inférieur délivrent des valeurs numériques fortes, qui délivre une valeur numérique feible quand le circuit de point de décienchement supérieur et le circuit de point de déclenchement inférieur délivrent des veleurs numériques faibles et qui conserve sa veleur numérique quend le circuit de point de déclenchement supérieur délivre une veleur numérique faible et le circuit de point de déclenchement inférieur délivre une valeur numérique forte

 Circuit d'attaque de sortie selon le revendication 16, dens lequel le troisième circuit de commande comprend:

> une première porte NI à deux entrées eyant une première entrée couplée à le sortie du circuit de point de décienchement inférieur, une seconde entrée et une sortie, dans lequel la sortie forme la sortie du troisième circuit de comman-

une seconde porte NI à deux entrées avant une

première entrère coupière à la sortie de la première porte NI à deux entrèes, une seconde entrès et une sortie coupière à la seconde entrès de la première porte NI à deux entrèses; et un inverseur ayant une entrèse coupière à la sorse du circuit de point de déclenchement supérieur et une sortie coupière à la seconde entrèse

de la soconde porte NII à deux entrées. 18. Circuit d'etteque de sortie comprenant:

second potentiels de tension;

de commende: et

31

une paire de transistors de sortie comprenant des premier et second transistors couplées ensemble en série entre un premier et un deuxième potentiels de tension et pouvant être commendés agissent pour commuter une sortie du clouit d'attegue de sortie entre les premier et

dos premier et deuxième circuits de commande ayant checun une sortie couptié aux bornes de commande respectivement des premier et se-cond trensistors et eyent checun une première entrée coupté et respectivement à des première et seconde antrées du circuit d'attaque de sortie conditient de sortie de sortie

un comparateur eyent une entrête couplée à la bome de commande des premier et second transistors et syent une sortie couplée à une seconde entrée respectivement des deuxième et premier circuits de commande; dans tecueir

le compareteur est adepté pour comparer les terefons eux bornes de commande des premier ou second trensistors evec des niveaux de tension prédéterminés et communiquer, par l'intermédiaire d'une sortie, le résultat de ces comparaisons respectivement aux deuxième et premier circuits

les premier et deuxième circuit de commande sont ejecnies pour manipuler les tensions eux bornes de commende des premier et second transistors sous l'înfluence de la sortie du comparateur alln «2 que, quant el sortie du circuit d'attaque de corsis change d'état, un transistor de la paitie de transistor de sortie soit bloqué evant que l'autre transistor de la paire de transistors de sortie conduise.

caractérisé en ce que le comparateur comprend:

un circuit de point de déclenchement supérieur 55 ayant une première entrée couplée à l'entrée du comparateur, une seconde entrée, et une sortie: un circuit de point de déclenchement inférieur ayant une première entrès couplée à l'entrée du comparateur, une seconde entrée couplée à la sortie du circuit de point de déclenchement supérieur, et une sortie couplée à la seconde entrée du circuit de point de déclenchement supérieur, et l'entrée point de déclenchement supérieur, et

pereuz, et dans lequel le circuit de point de déclenchement supérieur délivre une valeur numérique fonte quand l'entrée passe au-dessus d'une tension prédélemminée, le circuit de point de déclenchement inférieur délivre une valeur numérique forte quand l'entrée passe au-dessus d'une valeur de tension prédéterminée, et le comparatieur comprend en plus comparatieur comprend en plus

un troisième circuit de commande couplé eux circuits de noint de déclenchement sunériour et inférieur aut délivre, comme sortie du comparateur, une veleur numérique forte quand le circuit de point de déclenchement supérieur et le circuit de point de déclenchement inférieur délivrent des valeurs numériques fortes, qui délivre une veleur numérique faible quend le circuit de point de déclenchement supérieur et le circuit de point de décienchement inférieur délivrent des veleurs numériques faibles et qui conserve sa valeur numérique quand le circuit de point de déclenchement supérieur délivre une valeur numérique feible et le circuit de point de déclenchement inférieur délivre une valeur numérique forte.

 Circuit d'ettaque de sortie selon la revendication 18, dans lequel le troisième circuit de commande comment.

> une première porte NI à deux entrées ayent une première entrée couplée à le cortie du circuit de point de décienchement inférieur, une seconde entrée et une sortle, dens lequel le sorfie forme la sortie du troisième circuit de commen-

de; une deuxême porte NI à deux entrées ayant une première entrée couglée à la sortie de la première pent de deux entrée, une seconde entrée et une sortie couplié à la seconde entrée et une sortie couplié à la seconde entrée de la première porte NI à deux entrées, et un inverseur eyant une entrée couplié à la soché de du critat de point de déclendement supfiseur et une sortie couplié à la seconde entrée de la deuxême porte NI à deux entrées.















